

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-233769  
 (43) Date of publication of application : 27.08.1999

(51) Int.CI. H01L 29/78  
 H01L 21/8238  
 H01L 27/092

(21) Application number : 10-048673

(71) Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22) Date of filing : 12.02.1998

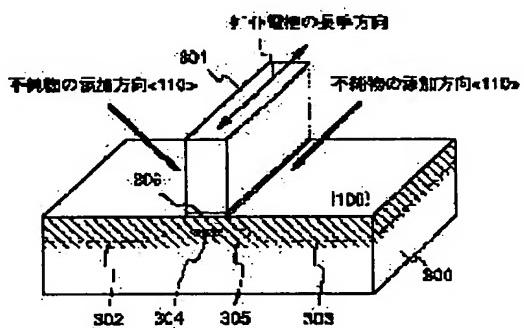
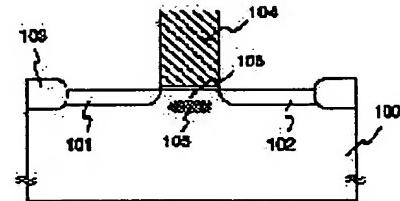
(72) Inventor : MIYANAGA SHOJI  
 KUBO NOBUO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To suppress short-channel effects and simultaneously miniaturize in the element size by a method wherein impurity concentration is reduced in a specified range by adding impurity ions to a silicon substrate from a specified direction.

**SOLUTION:** It is possible to add impurity ions more deeply and with less damages by adding the impurity ions from <110> axis. For example, in the range within a depth 10 nm of a silicon surface 306, as complete shadow of a gate electrode 301 is formed, it is hard to receive damages of collision ions at the time of addition of ions. Since a punch through stopper is formed with such the structure, a region where carriers move preferentially (a channel forming region 106) and a region where a depletion layer is restricted (a punch through stopper 105) can be separated. That is, it is possible to reduce concentration of impurities included in the channel forming region (impurities of the same conductive type as in the punch through stopper) until 1/100 to 1/10 of concentration of impurities included in the punch through stopper.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233769

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
21/8238  
27/092

識別記号

F I

H 0 1 L 29/78  
27/08

3 0 1 H  
3 2 1 C

審査請求 未請求 請求項の数10 FD (全 11 頁)

(21)出願番号

特願平10-48673

(22)出願日

平成10年(1998)2月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 宮永 昭治

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 久保 伸夫

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 キャリアの移動を損ねることなく効果的に短  
チャネル効果を抑制しうる半導体装置を提供する。

【解決手段】 ゲート電極直下にパンチスルーストップ  
ーを形成する際、不純物イオンをシリコン基板に対して  
<110>軸方向から添加する。本願発明ではチャネリ  
ングの原理を利用して不純物添加が行われるため、シリ  
コン基板の表面に与えるダメージを抑えつつ、散乱の少  
ない状態で不純物を添加することができる。その効果と  
して不純物濃度は非常に少なく、結晶性乱れの殆どない  
チャネル形成領域が得られる。

## 【特許請求の範囲】

【請求項1】 単結晶シリコン基板でソース領域、ドレイン領域及びチャネル形成領域が形成された複数のMOSFETで構成される回路を有する半導体装置において、前記チャネル形成領域の下方には前記ソース領域及びドレイン領域とは逆導電型の不純物が添加された不純物領域が形成され、

前記チャネル形成領域に含まれる前記不純物の濃度は、前記不純物領域に含まれる前記不純物の濃度の1/100～1/10であることを特徴とする半導体装置。

【請求項2】 請求項1において、前記不純物領域に含まれる前記不純物の濃度は $1\times10^{18}\sim1\times10^{19}$ atoms/cm<sup>3</sup>であることを特徴とする半導体装置。

【請求項3】 請求項1において、前記不純物領域に含まれる前記不純物の濃度は $1\times10^{18}\sim1\times10^{19}$ atoms/cm<sup>3</sup>であり、実質的に前記ソース領域及びドレイン領域とは接していないことを特徴とする半導体装置。

【請求項4】 請求項1において、前記チャネル形成領域に含まれる前記不純物の濃度は $1\times10^{16}\sim1\times10^{17}$ atoms/cm<sup>3</sup>であることを特徴とする半導体装置。

【請求項5】 単結晶シリコン基板に対して<110>軸方向から13族又は15族から選ばれた不純物を添加し、前記単結晶シリコン基板の表面から深さ20～150nmの範囲内に不純物領域を形成する工程を有し、前記単結晶シリコン基板の表面から10nm以内の範囲に含まれる前記不純物の濃度が、前記不純物領域に含まれる前記不純物の濃度の1/100～1/10となることを特徴とする半導体装置の作製方法。

【請求項6】 単結晶シリコン基板上にゲート絶縁膜及びゲート電極を形成する工程と、前記単結晶シリコン基板に対して<110>軸方向から13族又は15族から選ばれた不純物を添加する工程と、前記不純物の添加工程により前記単結晶シリコン基板の表面から深さ20～150nmの範囲内に不純物領域を形成する工程と、

を有し、前記単結晶シリコン基板の表面から10nm以内の範囲に含まれる前記不純物の濃度が、前記不純物領域に含まれる前記不純物の濃度の1/100～1/10となることを特徴とする半導体装置の作製方法。

【請求項7】 請求項6において、前記不純物領域を形成する工程は前記ゲート電極の長手方向に垂直な2方向から行われることを特徴とする半導体装置の作製方法。

【請求項8】 請求項5または請求項6において、前記不純物領域に含まれる前記不純物の濃度は $1\times10^{18}\sim1\times10^{19}$ atoms/cm<sup>3</sup>であることを特徴とする半導体装置の作製方法。

【請求項9】 請求項5または請求項6において、前記単結晶シリコン基板の表面から10nm以内の範囲に含まれる

10

前記不純物の濃度は $1\times10^{16}\sim1\times10^{17}$ atoms/cm<sup>3</sup>であることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本願発明は、単結晶シリコン基板を利用して形成された半導体装置、特に絶縁ゲート型電界効果トランジスタ(MOSFETまたはIGFETと呼ばれる)の構成に関する。特に、チャネル長が0.3μm以下(代表的には0.05～0.2μm)の微細素子を作製する場合において効果を発揮する技術である。

【0002】 また、本願発明はMOSFETを集積化して構成されたIC、VLSI、ULSIなどの様々な半導体回路に応用することが可能である。

## 【0003】

【従来の技術】 MOSFETは、ゲート電圧によって、ゲート直下の半導体(シリコン)界面の電位を変化させ、ソース・ドレイン間の電子流、或いは、正孔流をオン・オフ制御する。

【0004】 ところがトランジスタのチャネル長を短くしていくと、ソースとドレイン近傍の空間電荷領域(空乏層ともいう)が接するようになる。このとき、ゲートに近い半導体界面の電位はゲート電位で制御可能であるが、ゲートから深い部分の電位はゲート電圧を下げてもドレイン電圧の影響を受けて高いままである。

【0005】 即ち、トランジスタをオフにするためにゲート電圧を0Vにしても、半導体基板の電位の高い部分(空間電荷領域の広がった部分)を通って漏れ電流が流れてしまう。これが、短チャネル効果と呼ばれるもので、S値(サブスレッシュホールド係数)の増加やしきい値電圧の低下といった現象として現れる。

【0006】 短チャネル効果の程度の大きい現象として、電流が流れっぱなしとなるパンチスルーガが生じる。MOSFETの微細化へのメリットは、低電圧化・高速化にある。この成功のためには、短チャネル効果の抑制、及び、オン時の抵抗低減が鍵となる。

【0007】 短チャネル効果を抑制しながら、MOSFETを微細化する目安として、1974年にDennardによって提案されたスケーリング法がある。この方法から短チャネル効果を抑制したままゲート長を短くしていくためには、(1)ゲート絶縁膜を薄くする、(2)ソース/ドレイン接合深さを浅くする、(3)空間電荷領域幅(空乏層幅)を抑える、といった手段が有効である。

【0008】 (1)については、現行3nmが限界である。(2)に関してもイオンドーピング装置の工夫やレーザードーピングといった検討が行われているが、ディープサブミクロンサイズ以下では様々な問題を残してい

る。

【0009】(3)の方法としては、まず考えられるのがチャネル形成領域の濃度を高めること、即ち、チャネルドープである。しかし、 $0.18\mu m$ ルールといった微細寸法でMOSFETを形成するには、 $1\times 10^{18} atoms/cm^3$ 程度の不純物を添加する必要があり、オン電流を大幅に低下させる原因となってしまう。

【0010】それを回避するための手段として、図2に示す様な構造が知られている。図2において201はソース領域、202はドレイン領域、203はLD領域、204はゲート電極である。そして、ゲート電極の下の深いところにソース／ドレインとは逆導電型の不純物領域（パンチスルーストッパー）205が形成されている。この構造ではパンチスルーストッパー205によってドレイン側からの空乏層の広がりを抑えて短チャネル効果を防止する。

#### 【0011】

【発明が解決しようとする課題】図2に示した様なパンチスルーストッパー205の形成は、シリコン基板に対して不純物イオンを添加することで行われる。この時、添加される不純物イオンはシリコン基板の上方から添加されるが、ここでいくつかの問題点がある。

【0012】まず第1はシリコン基板の上方から不純物イオンを添加した際に、チャネルを形成する領域、即ちシリコン表面近傍の結晶性が衝突イオンによって崩されてしまう点である。

【0013】最近ではパンチスルーストッパーの形成深さが浅いので、イオン添加時の加速電圧は低くしたり質量数が大きめの化合物を添加するなどして不純物イオンを浅く添加する工夫がなされている。

【0014】ところが、そのどちらの対策もシリコン基板に対してダメージを与えやすい条件に近づいていく方向にあるので、素子の微細化に伴ってシリコン表面近傍における結晶性の乱れはますます深刻な問題になると予想される。なお、この様な結晶性の乱れはアニール処理などを施しても完全に回復するとは限らない。

【0015】また、第2の問題点はシリコン基板中に打ち込まれる過程でチャネルを形成する部分に不純物イオンが残ってしまう点である。

【0016】添加された不純物イオンは添加条件に応じて深さ方向に濃度分布をもつ。従って、パンチスルーストッパーを形成する位置に不純物濃度のピーク値がくる様に設定すると、濃度プロファイルのテール（裾）の部分がシリコン表面近傍に向かって広がることになる。

【0017】シリコン基板に対して真上から添加されると、どうしてもプロファイルのテールの部分がシリコン表面近傍に残ってしまう。即ち、チャネルが形成される部分には、ピーク値よりは低いもののかなりの濃度で不純物が存在してしまう。

【0018】以上に示した様な結晶性の乱れや不純物の

存在がキャリアの移動を妨げ、オン電流（FETがオン状態にある時のドレイン電流）の低下、モビリティ（電界効果移動度）の低下といった諸問題をもたらす。

【0019】以上の様に、パンチスルーストッパーを有する構造は短チャネル効果の抑制には効果を発揮するものの、微細化が進めばオン電流やモビリティの低下といった問題が再び発生することが予想される。

【0020】本願発明は以上の様な問題点を鑑みてなされたものであり、キャリアの移動を損ねることなく効果的に短チャネル効果を抑制しうるMOSFETを提供することを課題とする。

#### 【0021】

【課題を解決するための手段】本願発明は、シリコン基板に対するイオン添加の異方性を利用した技術（チャネリングと呼ばれる）を用いた技術であり、シリコン基板に対して最もダメージを与える角度から不純物イオンを添加する点に特徴がある。

【0022】その角度はシリコンの{110}面に垂直な方向、即ち<110>軸である。シリコンは{110}面の原子密度が最も疎であり、<110>軸から不純物イオンを添加することで、より深くに、より少ないダメージで不純物イオンを添加することが可能となる。

【0023】本願発明の特徴は、チャネリングの原理を利用した技術を用いて短チャネル効果を抑制することにある。即ち、チャネリングの原理を利用してパンチスルーストッパーの形成工程を行うことで、短チャネル効果を抑制すると同時にシリコン表面近傍（シリコン表面から深さ10nm以内の範囲）のダメージを低減し、且つ、その付近の不純物イオン濃度を低減するものである。

【0024】この様な構成とすることで短チャネル効果を抑制するパンチスルーストッパーとキャリアの移動経路となる反転層（チャネル領域）とを実質的に分離することができるので、チャネル内に存在する不純物濃度が少くなり、オン抵抗が小さくなつてモビリティが向上する。

【0025】また、<110>方向から不純物イオンを添加するため、基本的にはシリコン基板に対して斜め方向から不純物イオンを添加することになる。従って、チャネル形成領域の上にゲート電極が形成されていたとしても、その下にパンチスルーストッパーを形成することは容易である。逆に、ゲート電極がシリコン表面近傍を保護してくれるので、本願発明の効果が顕著に得られる。

【0026】また、パンチスルーストッパーとして添加する不純物としてはソース／ドレイン領域とは逆導電型の不純物を添加すれば良い。従って、Nチャネル型FETならば13族から選ばれた元素（代表的にはボロン、ガリウムまたはインジウム）を、Pチャネル型FETならば15族から選ばれた元素（代表的にはリン、砒素またはアンチモン）を用いれば良い。

【0027】不純物イオンの添加方法は、イオンインプランテーション、プラズマドーピング、レーザードーピングのいずれかの手段で行えば良い。また、添加するイオン種は単体元素でも良いし、化合物として添加するのであっても良い。

#### 【0028】

【発明の実施の形態】本願発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0029】【実施例1】本願発明のMOSFETの構成の一部（ソース／ドレイン電極は省略している）を図1に示す。図1（A）は上面図であり、図1（B）は図1（A）をA-A'で切った断面、図1（C）は図1（A）をB-B'で切った断面である。

【0030】図1（A）、（B）、（C）において、101はソース領域、102はドレイン領域、103はフィールド酸化膜、104はゲート電極である。なお、本明細書中ではソース領域101、ドレイン領域102しか記載していないが、この中にはLDD領域やオフセット領域などの高抵抗領域も含めるものとする。

【0031】そして、ゲート電極104の下にもぐり込む様にして形成された不純物領域105が、パンチスルーストッパーであり、その上に位置する半導体領域106がチャネル形成領域である。なお、本明細書中においてチャネル形成領域とは、反転層（チャネル）が形成されうる領域を指す。即ち、シリコン表面から深さにして10nm以下の範囲をチャネル形成領域と呼んでいる。

【0032】この時、パンチスルーストッパー105はソース領域101やドレイン領域102と接しない様にすることが好ましい。こうすることでパンチスルーストッパーとソース／ドレイン領域とが接する接合部における電界集中を防ぐことができ、MOSFETの信頼性を高めることができる。（図1（C））

【0033】また、図1（B）において100で示されるのは単結晶シリコン基板である。これはP型であってもN型であっても良い。本願発明ではパンチスルーストッパー105によって短チャネル効果が抑制されるので、チャネル形成領域としてシリコン基板を用いる場合には、基板濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（典型的には $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）と低めに抑えることができる。

【0034】なお、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下の基板濃度のシリコンウェハーを作製するには高い精密な濃度制御技術が必要となるのでコスト的に好ましくない。本願発明では $1 \times 10^{16} \text{ atoms/cm}^3$ 程度にまで基板濃度が下がつていれば十分である。

【0035】また、チャネル形成領域に不純物が存在するとキャリアの不純物散乱を招いてモビリティを低下させるが、不純物濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下では不純物散乱を引き起こす要因とならない。従って、本願発明

では基板濃度が少なくとも $1 \times 10^{17} \text{ atoms/cm}^3$ 以下となる様な条件で不純物イオンの添加工程を行う。

【0036】なお、図1では単結晶シリコン基板100をそのままチャネル形成領域として利用する構造を例示しているが、N型またはP型ウェル上に本願発明を利用したMOSFETを形成するのであっても良い。その場合、ウェル濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（典型的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）とすれば良い。勿論、パンチスルーストッパーはウェルと同一導電型の不純物で形成する。

【0037】パンチスルーストッパー105を形成するために添加する適切な不純物濃度は基板濃度（またはウェル濃度）によって異なってくるが、代表的には $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{18} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の範囲で調節すると良い。

【0038】 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の濃度ではパンチスルーストッパーとしての効果が弱く、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上の濃度ではMOSFETとして動作しなくなってしまう。正常に動作させるためにはマージンを考慮して $3 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。

【0039】また、パンチスルーストッパーの形成深さはソース／ドレイン領域の接合深さと同程度か、それよりも若干深い位置に形成すると良い。具体的にはチャネル長が $0.05 \sim 0.35 \mu\text{m}$ となった場合のソース／ドレイン接合深さを考慮すると、シリコン表面から $20 \sim 150 \text{ nm}$ （好ましくは $30 \sim 80 \text{ nm}$ ）の深さに形成することが好ましいと思われる。

【0040】一方、上述の様にソース／ドレインの接合深さが $100 \text{ nm}$ 以下となると従来のパンチスルーストッパーの形成方法ではパンチスルーストッパーとその上のチャネル形成領域との濃度差が非常に小さくなってしまう。そのため従来はキャリアの移動経路となるチャネル内に非常に多くの不純物が存在し、それがキャリアの不純物散乱を招き、オン電流やモビリティの低下を招いていた。

【0041】しかしながら、本願発明ではシリコン基板に対して<110>方向から不純物イオンを添加してパンチスルーストッパーを形成するため、不純物イオン添加時のイオン散乱が少ない。即ち、パンチスルーストッパーの形成時にシリコン表面に与えるダメージやパンチスルーストッパーの周辺に対する不純物イオンの拡散を最小限に抑えることができる。

【0042】ここで不純物イオンの添加工程の様子を図3を用いて説明する。図3はフィールド酸化膜（図示せず）に囲まれた素子形成領域を示す斜視図である。なお、本実施例ではゲート電極を形成した後でパンチスルーストッパーを形成する場合について説明する。

【0043】図3において、300は|100|配向の単結晶シリコン基板、301はゲート電極である。勿論、シリコン基板300上にウェル領域を設けて、その

上にゲート電極301を形成する様な構造であっても良い。また、302、303で示される点線はそれぞれ後にソース、ドレイン領域（LD領域を含む）となる領域を示している。

【0044】そして、この状態でシリコン基板300に対し、 $\langle 110 \rangle$ 軸に相当する方向から不純物イオンを添加する。なお、図3に示す様にゲート電極下をマスクとしてゲート絶縁膜を除去してシリコン表面を露出させておくことが好ましい。不純物を添加するシリコン表面にゲート絶縁膜が存在すると、そこで不純物が散乱してしまいチャネリングの原理を有効に活用できないからである。

【0045】ただし、ゲート絶縁膜の膜厚が10nm以下といった様に薄ければ加速電圧を高くするなど添加条件を最適化することで、ゲート絶縁膜を介したチャネリングにより不純物を添加することも可能である。

【0046】また、この時、不純物イオンの添加方向がゲート電極301の長手方向に対して垂直になる様に素子設計を行うことが好ましい。即ち、 $\{100\}$ 配向のシリコン基板に対しては $\{100\}$ 面内の $\langle 100 \rangle$ 軸方向とソース／ドレイン間を結ぶ方向（チャネル長方向）とが一致する様に素子設計を行う。こうすることでゲート電極の長手方向に対して垂直な方向から不純物イオンが添加され、ゲート電極下に均一に不純物イオンを添加できる。

【0047】勿論、用いるシリコン基板が $\{100\}$ 配向以外の配向面を示すもの（例えば $\{111\}$ 配向など）であれば、必ずしも $\langle 100 \rangle$ 軸方向から不純物イオンを添加することが好ましいわけではない。重要なのは、シリコン基板の最も原子密度の疎な面に対して垂直に不純物イオンを添加するという概念である。

【0048】また、図3に示す様にゲート電極に対して対称的に不純物イオンを添加することが好ましい。この様な構成とするとゲート電極301の下では両側から添加された不純物イオンの濃度プロファイルが重なるので、局所的に濃度の高い領域を形成することができる。本実施例では、その部分を実効的なパンチスルーストッパーとして利用する。

【0049】なお、図3では $\langle 110 \rangle$ 軸に沿った2方向から不純物イオンを添加しているが、 $\langle 110 \rangle$ 軸に沿った方向であればさらに多くの方向から添加する様な構成とすることも可能である。

【0050】以上の様にして不純物イオンを添加すると、第1の不純物領域304、第2の不純物領域305が形成される。なお、実際には不純物濃度は連続的に変化するプロファイルをもつたが、ここでは説明を簡略化するため第1、第2の領域に大別して模式的に示すことにする。

【0051】第1の不純物領域304は、前述の様にゲート電極を挟んで対称的に添加された不純物イオンの濃

度プロファイルが重なってできた領域であり、ここが実質的にパンチスルーストッパーとして機能する。

【0052】また、第2の不純物領域305はイオン添加時の不純物拡散や飛程距離の関係で形成されてしまう不純物領域であり、この領域をどれだけ小さく抑えるかが本願発明の鍵である。ただその殆どはソース／ドレイン領域302、303を形成する際に逆導電型の不純物イオンで反転させられてしまう。

【0053】また、ソース／ドレイン領域とはならない第1の不純物領域304の周辺近傍は、ゲート電極301の影になって添加される不純物イオンが少ないため実質的に基板濃度（又はウェル濃度）と変わらない程度の不純物しか存在しない。

【0054】特に、306で示されるシリコン表面から深さ10nm以内の範囲では、完全にゲート電極301の影になるので、イオン添加時の衝突イオンのダメージを受けにくく、添加される不純物イオンの濃度も第1の不純物領域304と較べて1/5以下（代表的には1/10以下、好ましくは1/100以下）である。

【0055】本願発明はこの様な構成でパンチスルーストッパーを形成するため、図1（B）、（C）に示す様にキャリアが優先的に移動する領域（チャネル形成領域106）と空乏層を抑制する領域（パンチスルーストッパー105）とを実質的に分離することができる。

【0056】具体的には、パンチスルーストッパーの不純物濃度が $1 \times 10^{18} \sim 3 \times 10^{18}$ であってもチャネル形成領域に存在する不純物濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（典型的には $1 \times 10^{16} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ）とすることができます。即ち、チャネル形成領域に含まれる不純物（パンチスルーストッパーと同一導電型の不純物）の濃度は、パンチスルーストッパーに含まれる不純物の濃度の1/100～1/10にまで低減されている。

【0057】その一方で、従来技術のままではチャネル形成領域の不純物濃度はパンチスルーストッパーと同程度かせいぜい $1/2$ 程度（ $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ）である。

【0058】実際にはチャネル形成領域に対してしきい値電圧制御用の不純物イオンを添加することもあるが、最終的にチャネル領域内に存在する不純物の濃度は本願発明の方が従来例よりも明らかに低い。少なくともパンチスルーストッパーを形成するための不純物のチャネル形成領域における濃度は、本願発明と従来例とで1桁近くも異なることがシミュレーション結果で判明している。

【0059】この様に本願発明ではチャネル形成領域の不純物濃度を基板濃度（又はウェル濃度）と同程度にまで低減できる。そしてさらにチャネル形成領域にイオン添加時のダメージを残さないため、MOSFETのモビリティを低下させることなく高速動作を行わせることが可能である。

【0060】以上の様に、シリコン基板に対して<110>方向から不純物イオンを添加することが本願発明の重要な構成である。本発明者らのシミュレーション結果によれば、<110>軸からのずれ(ゆらぎ)が3°以内(好ましくは2°以内)であれば、<110>軸から添加した場合と同様の効果が得られる。

【0061】例えば{100}面を示す単結晶シリコン基板を例にとると、基板面内に存在する<100>軸を45°だけ傾けると<110>軸に一致する。従って、この傾きが45±3°(好ましくは45±2°)の範囲内に収まれば<110>軸から添加した場合と同様の効果が得られるという事である。

【0062】なお、従来はパンチスルーストップバーを形成する際に基板面の鉛直方向に対して7°の傾きをもった方向から添加していた。即ち、殆ど垂直に近い状態で不純物イオンを添加している。従って、従来は本願発明の様にチャネリングを利用してパンチスルーストップバーを形成しようという概念はなかったと言える。

【0063】以上の様に、本願発明のMOSFETは短チャネル効果を抑制したまま素子サイズを微細化することができますため、高い信頼性を維持したまま、高い動作性能を実現することができる。さらに、キャリアの移動する領域に余計な不純物が添加されないので、高いモビリティを有するMOSFETを実現しうる。

【0064】〔実施例2〕本実施例では、実施例1に示した構造を有する本願発明のMOSFETを利用してCMOS回路を構成した場合の例について図4を用いて説明する。

【0065】まず、{100}配向のP型単結晶シリコン基板401を準備し、不純物イオン注入によってP型ウェル402、N型ウェル403を形成する。この様な構成はいわゆるツインタブ構造であり、ウェル濃度は実施例1に示した様に $1\times10^{16}\sim5\times10^{17}\text{atoms}/\text{cm}^3$ の範囲で形成される。

【0066】次に、公知のLOCOS法などにより選択酸化を行い、フィールド酸化膜404を形成した後、熱酸化工程によってシリコン表面に30nm厚の酸化膜(後のゲート絶縁膜)405を形成する。(図4(A))

【0067】次に、ゲート電極406、407を形成する。本実施例ではゲート電極を構成する材料として導電性を有するシリコン膜を用いるが、他にもタンタル、クロム、タンクステン、モリブデン等の導電膜を用いることができる。なお、本実施例ではゲート電極幅を0.18μmとする。

【0068】ゲート電極を形成したら、後にPチャネル型MOSFETとなる領域(図面向かって右側)をレジストマスク408で覆い、その状態でシリコン基板501に対して<110>軸方向からボロンを添加する。

(図4(B))

【0069】実際には紙面と平行な方向が<100>軸

10

となる様に素子の配置設計を行い、45°の角度から斜めに添加することで<110>軸方向からの不純物添加を可能としている。なお、本願発明は45±3°(好ましくは45±2°)の範囲でれば十分な効果を得ることができる。

【0070】本実施例では、イオンインプランテーション法によりピーク濃度が $1\times10^{18}\text{atoms}/\text{cm}^3$ のパンチスルーストップバー409を形成する。また、注入ガスはBF<sub>2</sub>、加速電圧は10keV、ドーズ量は $1\times10^{13}\text{atoms}/\text{cm}^2$ とする。

【0071】なお、図4(B)では実質的にパンチスルーストップバーとして機能する部分のみを記載し、他の周辺に形成される弱い不純物領域の記載は省略する。

【0072】次に、今度はシリコン基板に対してほぼ垂直に砒素を添加する。砒素の濃度は $5\times10^{18}\sim1\times10^{19}\text{atoms}/\text{cm}^3$ となる様に添加条件を調節する。ここでは20~40nm程度の浅い接合を形成するためにイオンインプランテーション法、プラズマドーピング法、レーザードーピング法のいずれかの手段を用いる。

【0073】こうして形成される不純物領域410、411の一部(チャネル形成領域と接する側の端部)は後にNチャネル型MOSFETのLDD(Lightly doped drain)領域として機能する。(図4(C))

【0074】次に、Nチャネル型MOSFETとなる領域をレジストマスク412で覆う。そしてレジストマスク412を形成したら、シリコン基板に対して<110>軸方向からリンを添加してパンチスルーストップバー413を形成する。

【0075】本実施例では、イオンインプランテーション法によりピーク濃度が $1\times10^{18}\text{atoms}/\text{cm}^3$ となる様に調節する。また、注入ガスはPH<sub>3</sub>、加速電圧は10keV、ドーズ量は $1\times10^{13}\text{atoms}/\text{cm}^2$ とする。(図5(A))

【0076】さらに、シリコン基板に対してほぼ垂直にボロンを添加し、後にPチャネル型MOSFETのLDD領域として機能する不純物領域414、415を形成する。この場合も浅い接合を形成することが望ましい。(図5(B))

【0077】図5(B)の状態が得られたら、次に酸化珪素膜(図示せず)を堆積してエッチバックを行い、サイドウォール416、417を形成する。(図5(C))

【0078】次に、再びPチャネル型MOSFETとなる領域をレジストマスク418で覆い、砒素を $1\times10^{20}\text{atoms}/\text{cm}^3$ の濃度で添加する。こうしてソース領域419、ドレイン領域420が形成され、サイドウォール416の下にはLDD領域421が形成される。(図6(A))

【0079】なお、ソース/ドレイン領域を形成する場合もイオンインプランテーション法、プラズマドーピング

50

法、レーザードーピング法のいずれかの手段を用いて浅い接合を形成することが望ましい。

【0080】また、同様にNチャネル型MOSFETとなる領域をレジストマスク422で覆い、ボロンを $1 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度で添加する。こうしてドレイン領域423、ソース領域424が形成され、サイドウォール417の下にはLDD領域425が形成される。(図6(B))

【0081】図6(B)の状態が得られたら、熱またはレーザーによるアニール処理を行い、添加した不純物の活性化を行う。この時、不純物の拡散ができるだけ小さくする様な条件を設定することが必要である。

【0082】ソース/ドレイン領域の活性化が終了したら、チタン膜を成膜してアニール処理を行い、ソース/ドレイン領域及びゲート電極の表面にチタンシリサイド層426を形成する。勿論、他の金属膜を用いた金属シリサイドを形成することもできる。シリサイド層を形成した後、チタン膜は除去する。

【0083】次に、層間絶縁膜427を形成し、コンタクトホールを開けてソース電極428、429、ドレン電極430を形成する。勿論、電極形成後に水素化を行うことも有効である。

【0084】以上の様な工程によって、図6(C)に示す様なCMOS回路を得ることができる。このCMOS回路はNチャネル型、Pチャネル型の両MOSFETに対してもパンチスルーストッパーを設けているが、どちらか一方のみに設けた構成とすることも可能である。

【0085】【実施例3】本実施例では、ゲート電極を形成する前に予めパンチスルーストッパーを形成する場合の例について図7を用いて説明する。

【0086】図7において、700がシリコン基板、701は後にソース領域が形成される領域(図中ではソース領域と記載する)、702は後にドレン領域が形成される領域(図中ではドレン領域と記載する)である。従って、実際にはシリコン基板上にフィールド酸化膜(図示せず)が形成された状態である。

【0087】この状態でシリコン基板700に対して<110>軸方向からイオンインプランテーションにより不純物イオンを添加する。本実施例では添加ガスとしてBF<sub>2</sub>を用い、加速電圧10keV、ドーズ量 $3 \times 10^{13}$  atoms/cm<sup>2</sup>とする。

【0088】こうして形成されるパンチスルーストッパー703不純物濃度のピーク値が $1 \times 10^{18}$  atoms/cm<sup>3</sup>となる様に調節され、その濃度ピークはシリコン基板700の表面から深さ30~100 nmの範囲内で幅10~20nmの帯状に存在する。

【0089】また、シリコン表面近傍に位置するチャネル形成領域704は、チャネリングの原理によってイオン衝突によるダメージもなく、不純物添加後に残存する不純物イオンの濃度も基板濃度(又はウェル濃度)と

同程度と低い。

【0090】この様に本実施例の特徴は、チャネリングの原理を利用して不純物イオンを添加するため、シリコン表面へのダメージが非常に小さいこと、そしてシリコン表面近傍で止まってしまう不純物が少ないため所望の深さに急峻な濃度プロファイルでパンチスルーストッパーを形成できること、が挙げられる。この効果は実施例1の効果と同じである。

【0091】【実施例4】本実施例では、ゲート電極を形成した後にゲート電極の片面側のみから不純物イオンを添加する場合の例について図8を用いて説明する。図8において、800はシリコン基板、801は後にソース領域が形成される領域(図中ではソース領域と記載する)、802は後にドレン領域が形成される領域(図中ではドレン領域と記載する)、803はゲート電極である。

【0092】実施例1では図3に示した様にゲート電極を形成した状態で少なくとも2方向の<110>軸から不純物イオンを添加している。しかしながら、本実施例ではある1方向のみから添加することを特徴としている。

【0093】本実施例では後にソース領域が形成される領域801側から不純物イオンを添加するため、形成されたパンチスルーストッパー804は図8に示す様な形状で形成される。勿論、チャネル形成領域805は実質的にパンチスルーストッパー804とは分離され、パンチスルーストッパーを形成する前の結晶性及び不純物濃度をほぼそのまま維持することができる。

【0094】本実施例の様な構成とすると、不純物イオンの添加時に添加方向を変える必要がなくなるためスループットが向上する。また、本実施例の様にソース領域側から添加するとパンチスルーストッパー804とドレン領域802とが接することができないので電界集中を防ぐことができる。

【0095】さらに、ソース領域801と接したパンチスルーストッパー804は、チャネル形成領域805とドレン領域802との接合部でインパクトイオン化によって生じた正孔をソース領域へと引き出す効果を持たせることができる。この事は特にNチャネル型MOSFETにおいて有効である。

【0096】【実施例5】本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体装置(MOSFETを部品として含む製品)に適用しうる。なお、本明細書中において「半導体装置」とは、単体素子だけでなく、複数の単体素子で構成された集積化回路およびその様な集積化回路を搭載した電子機器(応用製品)をも範疇に含むものとする。

【0097】例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロ

セッサに適用しうる。また、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、P H S、モバイルコンピュータ）用の高周波回路に至るまで、半導体を利用する全ての集積化回路に適用しうる。

【0098】図9に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア11、RAM12、クロックコントローラ13、キャッシュメモリー14、キャッシュコントローラ15、シリアルインターフェース16、I/Oポート17等から構成される。

【0099】勿論、図9に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0100】しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのはIC(Integrated Circuit)18である。IC18は半導体チップ19上に形成された集積化回路をセラミック等で保護した機能回路である。

【0101】そして、その半導体チップ19上に形成された集積化回路を構成するのが本願発明の構造を有するMOSFET20(Nチャネル型)、21(Pチャネル型)である。なお、基本的な回路はCMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0102】また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパソコンコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両(自動車や電車等)の制御用コンピュータなども挙げられる。

【0103】さらに、本願発明を利用したMOSFETで半導体回路を構成し、その回路で駆動する液晶表示装置やEL表示装置等の電気光学装置をも作製することもできる。そして、その様な電気光学装置はノートパソコン、携帯情報端末およびプロジェクターなどの表示ディ

スプレイとして利用することもできる。この様な電気光学装置及びそれをディスプレイとして搭載した電子機器も本明細書中では「半導体装置」の範疇に含む。

#### 【0104】

【発明の効果】本願発明を利用することでパンチスルーストッパー構造を採用したMOSFETにおけるチャネル形成領域の不純物濃度を従来よりも低減することができる。また、イオン衝突によるダメージを与えない様にパンチスルーストッパーを形成することで、非常に高い結晶性を維持したチャネル形成領域が得られる。

【0105】その結果、短チャネル効果を抑制すると同時に不純物散乱によるオン電流及びモビリティの低下を防ぐことが可能となり、高い信頼性と高い動作性能とを併せ持ったMOSFETを実現することができる。

【0106】そして、本願発明を利用したMOSFETを組み合わせて回路を構成することで非常に動作特性の優れた半導体装置を実現できる。従って、本願発明を利用したMOSFETは、今現在市場に流通している全ての半導体装置と置き換えるが可能であり、全ての半導体装置の高性能化、高信頼性化を実現しうる。

#### 【図面の簡単な説明】

【図1】 本願発明のMOSFET構造を説明するための図。

【図2】 従来のMOSFET構造を説明するための図。

【図3】 不純物イオンの添加工程の様子を示す図。

【図4】 本願発明のMOSFETの作製工程を示す図。

【図5】 本願発明のMOSFETの作製工程を示す図。

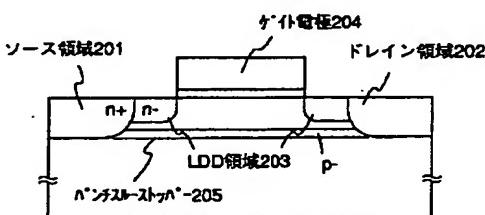
【図6】 本願発明のMOSFETの作製工程を示す図。

【図7】 不純物イオンの添加工程の様子を示す図。

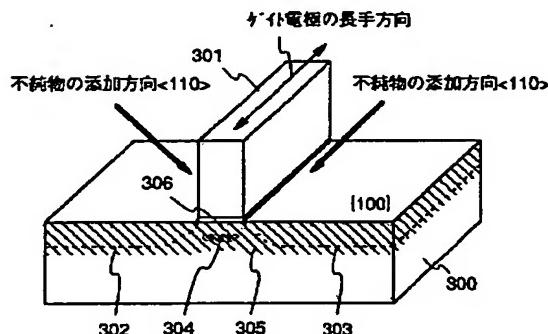
【図8】 不純物イオンの添加工程の様子を示す図。

【図9】 電子機器の一例を示す図。

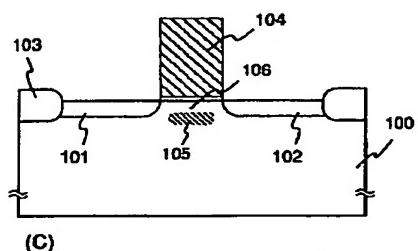
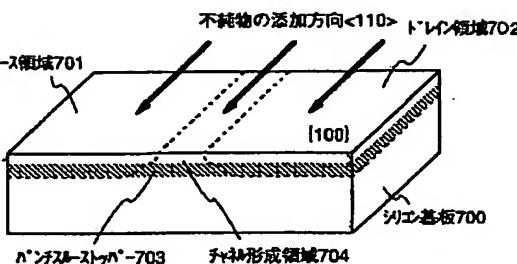
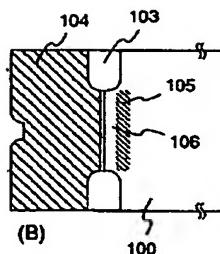
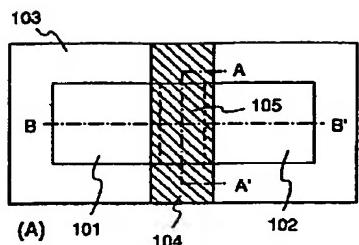
【図2】



【図3】

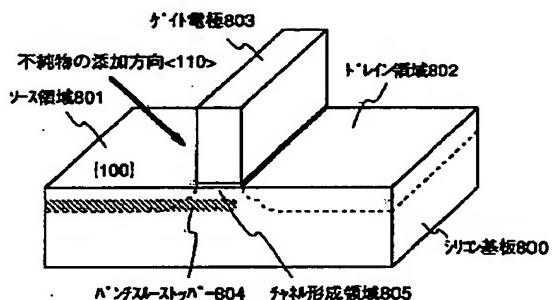


【図1】

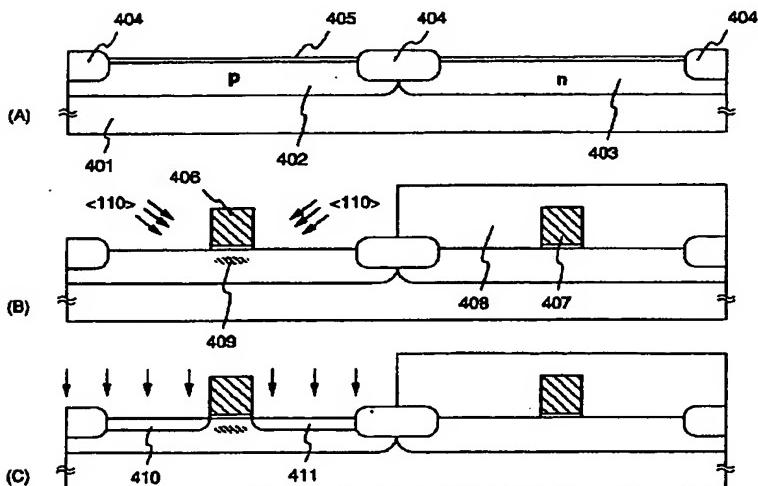


100: 単結晶シリコン基板 101: ソース領域  
102: ドレイン領域 103: フィールド強化膜  
104: ゲート電極 105: ビニング領域  
106: チャネル形成領域

【図8】

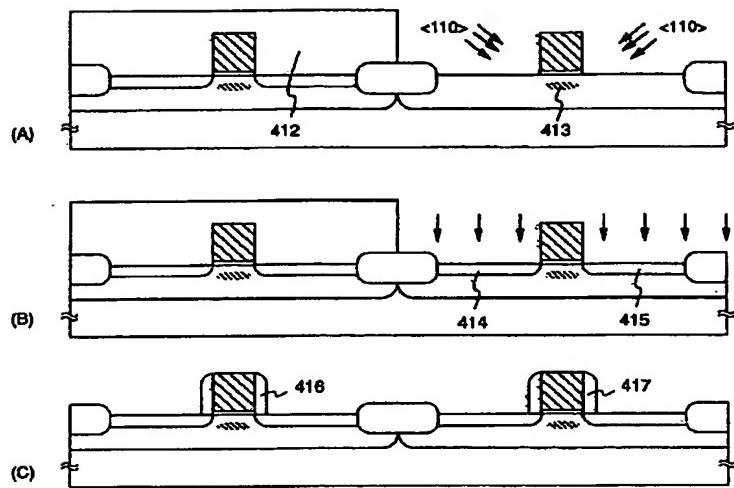


【図4】



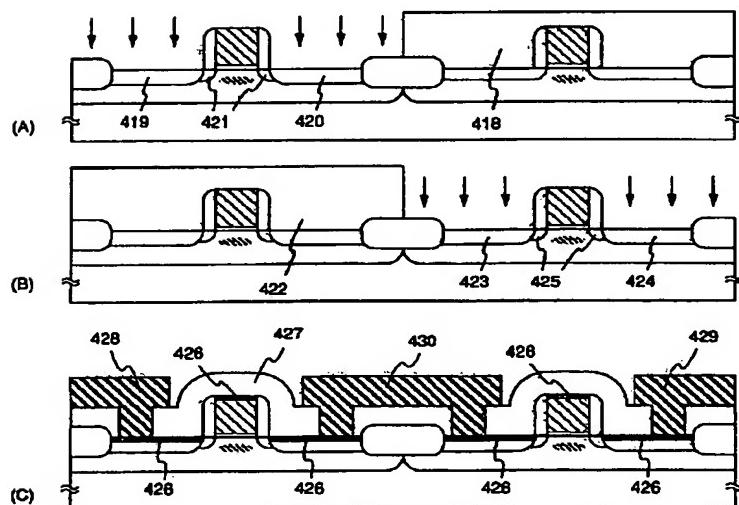
401: P型単結晶シリコン基板 402: P型ウェル 403: N型ウェル 404: フィールド酸化膜  
405: 酸化膜 406、407: ゲート電極 408: レジストマスク  
409: 不純物領域 410、411: 不純物領域(後のLDD領域)

【図5】



412: レジストマスク 413、414: 不純物領域  
414、415: 不純物領域(後のLDD領域) 416、417: サイドウォール

【図6】



418: レジストマスク 419: ソース領域 420: ドレイン領域 421: LDD領域  
422: レジストマスク 423: ドレイン領域 424: ソース領域 425: LDD領域  
426: シリサイド層 427: 層間絶縁膜 428、429: ソース電極 430: ドレイン電極

【図9】

